

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
28. Juni 2001 (28.06.2001)

PCT

(10) Internationale Veröffentlichungsnummer
WO 01/47019 A1

(51) Internationale Patentklassifikation⁷: H01L 27/115

(21) Internationales Aktenzeichen: PCT/DE99/04042

(22) Internationales Anmeldedatum:
20. Dezember 1999 (20.12.1999)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-Martin-Strasse 53, D-81541 München (DE).

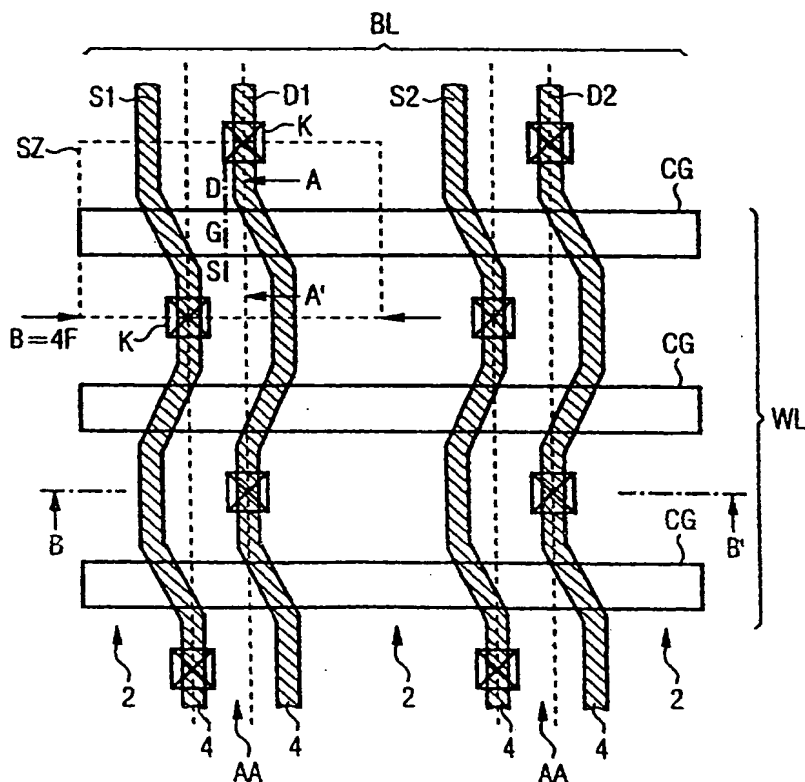
(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): STEIN VON KAMIENSKI, Elard [DE/DE]; Am Sonnenhang 2, D-01099 Dresden (DE). WAWER, Peter [DE/DE]; Mersburger Strasse 5, D-01309 Dresden (DE). LUDWIG, Christoph [DE/DE]; Bergerstrasse 15, D-01465 Langebrück (DE). KUTTER, Christoph [DE/DE]; Louisenstrasse 60, D-01099 Dresden (DE). GEORGAKOS, Georg [DE/DE]; Am Geissberg 1, D-85447 Fraunberg (DE). LIEBELT, Andreas [DE/DE]; Waldstrasse 22, D-85457 Wörth (DE). KRIZ, Jakob [DE/DE]; Förstereisstrasse 3, D-01099 Dresden (DE). HUCKELS, Kai [DE/DE]; Bruhmstrasse 4, D-01465 Langebrück (DE).

[Fortsetzung auf der nächsten Seite]

(54) Title: NON-VOLATILE NOR SEMICONDUCTOR MEMORY DEVICE AND METHOD FOR THE PROGRAMMING THEREOF

(54) Bezeichnung: NICHTFLÜCHTIGE NOR-HALBLEITERSPEICHEREINRICHTUNG UND VERFAHREN ZU DEREN PROGRAMMIERUNG



(57) Abstract: The invention relates to a non-volatile NOR semiconductor memory device and method for the programming thereof, whereby a number of single transistor memory cells (SZ), arranged in the form of a matrix, may be controlled by either word lines (WL) or by bit lines (BL). Each single transistor memory cell (SZ), thus possesses both a source line (S1, S2) and a drain line (D1, D2), by means of which a selective control of the respective source and drain regions (D, S) is achieved. The leak current can thus be optimally reduced in the semiconductor memory device with minimal space requirement.

(57) Zusammenfassung: Die Erfindung betrifft eine nichtflüchtige NOR-Halbleiterspeichereinrichtung sowie ein Verfahren zu deren Programmierung, wobei eine Vielzahl von matrixförmig angeordneten Eintransistor-Speicherzellen (SZ) sowohl über Wortleitungen (WL) als auch über Bitleitungen (BL) angesteuert werden. Jede Eintransistor-Speicherzelle (SZ) besitzt hierbei sowohl eine Sourceleitung (S1, S2) als auch eine Drainleitung (D1, D2), wodurch man eine selektive Ansteuerung der jeweiligen

[Fortsetzung auf der nächsten Seite]

WO 01/47019 A1



(74) Anwalt: KINDERMANN, Peter; Karl-Böhm-Str. 1,
85598 Baldham (DE).

Veröffentlicht:

— Mit internationalem Recherchenbericht.

(81) Bestimmungsstaaten (*national*): JP, KR, US.

(84) Bestimmungsstaaten (*regional*): europäisches Patent (AT,
BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC,
NL, PT, SE).

*Zur Erklärung der Zweibuchstaben-Codes, und der anderen
Abkürzungen wird auf die Erklärungen ("Guidance Notes on
Codes and Abbreviations") am Anfang jeder regulären Ausgabe
der PCT-Gazette verwiesen.*

Beschreibung

Nichtflüchtige NOR-Halbleiterspeichereinrichtung und Verfahren zu deren Programmierung

5

Die vorliegende Erfindung bezieht sich auf eine nichtflüchtige NOR-Halbleiterspeichereinrichtung und ein Verfahren zu deren Programmierung und insbesondere auf einen Flash EEPROM-Speicher mit einer neuartigen NOR-Gatetransistorfeld-Architektur.

10

Die meisten Rechneinheiten bzw. Computer benutzen derzeit magnetische Plattenlaufwerke zum Speichern von größeren Datenmengen. Derartige Plattenlaufwerke bzw. mechanische Speichervorrichtungen benötigen jedoch einen relativ großen Platz und weisen eine Vielzahl von beweglichen Teilen auf. Folglich sind sie störanfällig und besitzen einen beträchtlichen Stromverbrauch. Darüber hinaus werden die zukünftigen Rechneinheiten bzw. Computer sowie andere digitale Geräte wie beispielsweise digitale Kameras oder Palmgeräte bzw. PTAs immer kleiner, weshalb herkömmliche mechanische Speichereinrichtungen ungeeignet sind.

15

20

25

30

35

Als Alternative zu derartigen herkömmlichen mechanischen Speichereinrichtungen haben sich in letzter Zeit nichtflüchtige Halbleiterspeichereinrichtungen immer mehr durchgesetzt, wie sie beispielsweise als Flash-Speicher, EEPROM, EPROM und dergleichen bekannt sind. Als wichtigste Vertreter derartiger elektrisch löschbarer und elektrisch programmierbarer Speichereinrichtungen sind die sogenannten NAND- sowie NOR-Halbleiterspeichereinrichtungen bekannt. In beiden Halbleiterspeichereinrichtungen weisen die Speicherzellen sogenannte Eintransistor-Speicherzellen auf, wobei üblicherweise in einem Halbleitersubstrat ein Draingebiet und ein Sourcegebiet ausgebildet ist und sich über dem dazwischen liegenden Kanalabschnitt eine isolierte ladungsspeichernde Schicht sowie eine darüber angeordnete isolierte Steuerschicht befindet. Zum

Vorzugsweise sind die jeweiligen Source- und Drainleitungen mäander-, zickzack- oder wellenförmig ausgebildet, wodurch sich eine wesentliche Flächenersparnis ergibt und hochintegrierte Halbleiterspeichereinrichtungen ermöglicht werden.

5

Eine weitere Verringerung des Platzbedarfs ergibt sich durch die Ausbildung der Source- und Drainleitungen in unterschiedlichen elektrisch leitenden Schichten.

- 10 Beim Verfahren zur Programmierung der nichtflüchtige NOR-Halbleiterspeichereinrichtung werden vorzugsweise vorbestimmte Spannungen sowohl an die Sourceleitung als auch an die Drainleitung angelegt. Alternativ dazu können jedoch die Programmierspannungen auch nur an den Drainleitungen oder Source-
- 15 celeitungen angelegt werden, während ihre dazugehörigen Sourceleitungen oder Drainleitungen floatend sind bzw. eine schwebende Spannung aufweisen.

- In den Unteransprüchen sind vorteilhafte Ausgestaltungen der
- 20 Erfindung gekennzeichnet.

Die Erfindung wird nachstehend anhand von Ausführungsbeispielen unter Bezugnahme auf die Zeichnung näher beschrieben.

- 25 Es zeigen:

Figur 1 eine vereinfachte Darstellung eines Ersatzschaltbilds einer nichtflüchtigen NOR-Halbleiterspeichereinrichtung gemäß dem Stand der Technik;

30

Figur 2 eine vereinfachte Darstellung eines Ersatzschaltbilds der erfindungsgemäßen nichtflüchtigen NOR-Halbleiterspeichereinrichtung;

- 35 Figur 3 eine vereinfachte Darstellung eines Layouts der erfindungsgemäßen NOR-Halbleiterspeichereinrichtung gemäß einem ersten Ausführungsbeispiel;

Figur 4 eine vereinfachte Schnittansicht entlang eines Schnitts A/A' in Figur 3;

5 Figur 5 eine vereinfachte Schnittansicht entlang eines Schnitts B/B' in Figur 3;

Figur 6 eine vereinfachte Darstellung eines Layouts der erfindungsgemäßen NOR-Halbleiterspeichereinrichtung gemäß einem zweiten Ausführungsbeispiel; und
10

Figur 7 eine vereinfachte Schnittansicht entlang eines Schnitts C/C' in Figur 6.

15 Figur 2 zeigt eine vereinfachte Darstellung eines Ersatzschaltbilds einer nichtflüchtigen NOR-Halbleiterspeichereinrichtung gemäß der vorliegenden Erfindung. Gleiche Bezugszeichen bezeichnen hierbei gleiche oder ähnliche Elemente, weshalb auf ihre Beschreibung nachfolgend verzichtet wird.
20

Die erfindungsgemäße nichtflüchtige NOR-Halbleiterspeichereinrichtung besteht wiederum aus einer Vielzahl von in einem Halbleitersubstrat ausgebildeten matrixförmig angeordneten Eintransistor-Speicherzellen SZ, die über eine Vielzahl von Wortleitungen WL1, WL2 und WL3 und eine Vielzahl von Bitleitung BL1 und BL2 angesteuert werden. Im Gegensatz zur herkömmlichen NOR-Halbleiterspeichereinrichtung mit „common source“-Architektur können die Eintransistor-Speicherzellen SZ gemäß der vorliegenden Erfindung selektiv über eine Sourceleitung S1, S2 usw. und über eine Drainleitung D1, D2 usw. angesteuert werden. Diese selektive Ansteuerung wird beispielsweise über eine jeweilige Bitleitungssteuerung BLC durchgeführt, welche sozusagen die gemeinsamen Bitleitungen BL1 und BL2 usw. realisieren. Aufgrund der selektiven Ansteuerung der jeweiligen Sourcegebiete S von jeweiligen Eintransistor-Speicherzellen SZ wird die erfindungsgemäße nicht-
25
30
35

flüchtige NOR-Halbleiterspeichereinrichtung vorzugsweise als SNOR-Flash (selective NOR) bezeichnet.

Zum Programmieren der Eintransistor-Speicherzelle SZ wird
5 beispielsweise über die Wortleitung WL1 eine Spannung von
-9 V an die Steuerschicht CG angelegt, während die dazugehö-
rigen Source- und Draingebiete S und D über die dazugehörigen
Source- Drainleitungen S1 und D1 auf ein Potential von bei-
spielsweise +6 V gelegt wird. Auf diese Weise wird eine „1“
10 in die Eintransistor-Speicherzelle SZ eingeschrieben bzw. die
ladungsspeichernde Schicht positiv geladen. Da ein laterales
Feld insbesondere zwischen dem Sourcegebiet S und dem Drain-
gebiet D aufgrund der gleich hohen Spannungen (+6 V) stark
verringert ist, ist insbesondere in den nicht selektierten
15 Eintransistor-Speicherzellen der Wortleitungen WL2 und WL3
ein gegenüber dem Stand der Technik wesentlich verringerter
Leckstrom zu beobachten. Gemäß Figur 2 weisen die nicht se-
lektierten Wortleitungen WL2, WL3, ... eine Spannung von 0V
auf. Vorzugsweise liegt jedoch diese Spannung der nicht se-
20 lektierten Wortleitungen WL2, WL3, ... auf einer Spannung,
die dem arithmetischen Mittel (z.B. 3V) von einer Spannung
der selektierten Bitleitung BL1 und einer Spannung der nicht
selektierten Bitleitung entspricht, wodurch sich ein Leck-
strom weiter verringern läßt.

25

Als Leckstrom ist hierbei insbesondere ein gateinduzierter
Drain-Leckstrom (GIDL, gate induced drain leakage) zu be-
trachten, der bei der in Figur 2 dargestellten SNOR-
Architektur im Vergleich zur herkömmlichen NOR-Architektur
30 mit gemeinsamer Sourceleitung (common source) gemäß Figur 1
wesentlich verringert ist. In Figur 1 werden nämlich aufgrund
des gemeinsamen Potentials in den Sourcegebieten S starke la-
terale Felder zwischen Source und Drain in den nicht selek-
tierten Speicherzellen (WL2, WL3) erzeugt, die um mehrere
35 Größenordnungen oberhalb der in der erfindungsgemäßen SNOR-
Architektur liegen. Die Stromaufnahme insbesondere während
eines Programmiervorgangs (Schreiben, Löschen) wird somit we-

sentlich verringert, da ein Anteil insbesondere der gateindu-
zierten Drain-Leckströme in den nicht selektierten Speicher-
zellen wesentlich verringert wird. Ein Aufbau von sehr großen
Arrays bzw. Speicherzellenfeldern läßt sich daher mit der er-
findungsgemäßen SNOR-Architektur auf einfache Weise realisie-
ren.

Figur 3 zeigt eine vereinfachte Darstellung eines Layouts der
erfindungsgemäßen NOR-Halbleiterspeichereinrichtung gemäß ei-
nem ersten Ausführungsbeispiel. Gleiche Bezugszeichen be-
zeichnen wiederum gleiche oder ähnliche Elemente, weshalb auf
ihre detaillierte Beschreibung nachfolgend verzichtet wird.

Gemäß Figur 3 werden die Eintransistor-Speicherzellen SZ in
aktiven Gebieten AA eines Halbleitersubstrats ausgebildet.
Derartige aktive Gebiete AA werden vorzugsweise mittels Dif-
fusion oder Implantation ausgebildet und besitzen gemäß Figur
3 eine im wesentlichen streifenförmige Struktur. Die Vielzahl
von spaltenweise angeordneten streifenförmigen aktiven Gebie-
ten AA werden zeilenweise von ebenfalls streifenförmig ausge-
bildeten Schichtstapeln überlagert, wobei eine oberste
Schicht die Steuerschicht CG der Eintransistor-Speicherzellen
SZ darstellt. Jeder Kreuzungspunkt eines derartigen streifen-
förmigen aktiven Gebietes AA mit einer streifenförmig ausge-
bildeten Steuerschicht CG stellt somit einen Feldeffekttran-
sistor bzw. eine Eintransistor-Speicherzelle SZ dar. Zum Kon-
taktieren von jeweiligen Draingebieten D und Sourcegebieten S
sind Kontakte K1 ausgebildet, die im wesentlichen geradlinig
angeordnet sind, jedoch auch in ein angrenzendes Isolations-
gebiet 2 (STI, shallow trench isolation) reichen können. In
einer weiteren darüberliegenden Schicht, die vorzugsweise ei-
ne erste Metallisierungsschicht darstellt, befinden sich nun-
mehr die Sourceleitungen S1, S2 usw. sowie die Drainleitungen
D1, D2 usw. Die Drainleitungen D1, D2 stehen hierbei über
entsprechende Kontakte K1 mit den dazugehörigen Draingebieten
D des aktiven Gebietes AA in Verbindung, wobei in gleicher
Weise die Sourceleitungen S1, S2 über entsprechende Kontakt

K1 mit den dazugehörigen Sourcegebieten S in Verbindung stehen.

Gemäß Figur 3 sind jeweils die Sourcegebiete S einer Eintransistor-Speicherzelle SZ mit den Sourcegebieten S einer benachbarten Eintransistor-Speicherzelle SZ verbunden. In gleicher Weise sind die Draingebiete D von jeweils benachbarten Eintransistor-Speicherzellen unmittelbar miteinander verbunden, wodurch sich eine besonders flächensparende Ausführung ergibt. Zur weiteren Flächenreduzierung der Eintransistor-Speicherzelle SZ werden die Sourceleitungen S1, S2 und die Drainleitungen D1, D2 vorzugsweise wellenförmig ausgebildet. Sie können jedoch auch mäander- oder zickzackförmig ausgebildet werden, sofern sich dadurch eine Platzersparnis ergibt und die jeweiligen Kontakte K1 angeschaltet werden können. Zur weiteren Reduzierung eines Flächenbedarfs sind die Source- und Drainleitungen S1, S2, D1, und D2 im wesentlichen parallel zueinander angeordnet. Auf diese Weise erhält man eine hochintegrierbare Speichereinrichtung, die eine optimierte Zellenbreite von lediglich $B = 4F$ aufweist.

Figur 4 zeigt eine vereinfachte Schnittansicht der Eintransistor-Speicherzelle SZ entlang eines Schnitts A/A' in Figur 3. Demzufolge besteht die Eintransistor-Speicherzelle SZ aus einer nichtflüchtigen Halbleiterspeicherzelle, die in einem Substrat 1 bzw. einem aktiven Gebiet AA des Substrats 1 ausgebildet ist. Das Draingebiet D ist hierbei vom Sourcegebiet S über ein Kanalgebiet beabstandet, an dessen Oberfläche eine erste Isolierschicht I1, eine ladungsspeichernde Schicht FG (floating gate), eine zweite Isolierschicht I2 und die abschließende Steuerschicht CG (control gate) ausgebildet ist. Das Draingebiet D sowie das Sourcegebiet S wird über Kontakte K1 kontaktiert. Eine weitere Isolierschicht bzw. Passivierungsschicht 3 isoliert hierbei jeden Schichtstapel bzw. jede Eintransistor-Speicherzelle SZ von seiner benachbarten.

Figur 5 zeigt eine weitere vereinfachte Schnittansicht der erfindungsgemäßen NOR-Halbleiterspeichereinrichtung entlang eines Schnitts B/B' in Figur 3. Gemäß dieser Schnittansicht werden die aktiven Gebiete AA im Halbleitersubstrat 1, welche
5 beispielsweise ein Silizium-Halbleitersubstrat darstellt, mittels flacher Grabenisolierung 2 (STI, shallow trench isolation) voneinander isoliert. Die Kontakte können hierbei leicht versetzt auf die aktiven Gebiete AA aufgesetzt sein und zum Teil in die Grabenisolierung 2 reichen. Die Source-
10 und Drainleitungen S1, S2, D1 und D2 werden gemäß Figur 5 in einer ersten Metallisierungsebene bzw. elektrisch leitenden Schicht 4 ausgebildet und befinden sich jeweils auf dem gleichen Niveau. Wesentlich für die vorliegende Erfindung ist hierbei, daß nur die Drainleitungen D1 und D2 mit den dazugehörigen Kontakten K in Verbindung stehen, während die dazugehörigen Sourceleitungen S1 und S2 von der weiteren Isolierschicht 3 beabstandet keinen Kontakt mit dem aktiven Gebiet AA aufweisen und seitlich versetzt sind. Vorzugsweise sind
15 die Source- und Drainleitungen demzufolge in der gemeinsamen elektrisch leitenden Schicht 4 ausgebildet, die beispielsweise auch eine hochdotierte Polysiliziumschicht darstellen kann. Ein wesentlicher Vorteil bei der Verwendung derartiger elektrisch leitender Schichten beispielsweise im Vergleich zu herkömmlichen vergrabenen Schichten (buried layer) im Halbleitersubstrat 1 besteht darin, daß der Widerstand wesentlich verringert ist, wodurch sich insbesondere die Zugriffszeiten bzw. die Zugriffsgeschwindigkeit auf die Halbleiterspeichereinrichtung verbessert.

30 Gemäß Figuren 3 bis 5 werden somit die Source- und Drainleitungen S1 bis D2 in der gleichen elektrisch leitenden Schicht 4 ausgebildet. Die Source- und Drainleitungen S1 bis D2 können jedoch auch in unterschiedlichen Schichten realisiert werden, was nachfolgen anhand von Figur 6 beschrieben wird.

35 Figur 6 zeigt eine vereinfachte Darstellung eines Layouts der NOR-Halbleiterspeichereinrichtung gemäß einem zweiten Ausführungsbeispiel.

rungsbeispiel, wobei gleiche Bezugszeichen gleiche oder ähnliche Elemente bezeichnen. Auf eine wiederholte detaillierte Beschreibung wird daher nachfolgend verzichtet.

- 5 Im Gegensatz zur Halbleiterspeichereinrichtung gemäß dem ersten Ausführungsbeispiel werden bei der Halbleiterspeicher-
einrichtung gemäß dem zweiten Ausführungsbeispiel die Source-
und Drainleitungen S1 bis D2 in unterschiedlichen elektrisch
leitenden Schichten realisiert. Auf diese Weise lassen sich
10 auch überlappende Strukturen für die Drain- und Sourceleitun-
gen realisieren, wodurch sich eine weitere Flächensparnis
ergibt. Demzufolge ist die Breite einer Eintransistor-
Speicherzelle SZ gemäß Figur 6 auf $B=3F$ verringert.
- 15 Zur weiteren Verdeutlichung ist in Figur 7 eine vereinfachte
Schnittansicht der NOR-Halbleiterspeichereinrichtung gemäß
dem zweiten Ausführungsbeispiel entlang eines Schnitts C/C'
dargestellt. Gemäß Figur 7 befinden sich nunmehr lediglich
die Sourceleitungen S1 und S2 in einer ersten Metallisie-
20 rungsschicht 4, während in einer darüber angeordneten Metal-
lisierungsschicht 6 die Drainleitungen D1 und D2 realisiert
sind. Die weitere Metallisierungsschicht 6 wird hierbei von
einer weiteren Isolierschicht 5 getragen. Zum Kontaktieren
der weiteren elektrisch leitenden Schicht 6 wird ein weiterer
25 Kontakt K2 verwendet, der im wesentlichen auf dem vorstehend
beschriebenen Kontakt K1 bzw. einem Teil der elektrisch lei-
tenden Schicht 4 ausgebildet ist. Auf diese Weise erhält man
eine NOR-Halbleiterspeichereinrichtung mit verringertem Leck-
strom und weiter verringertem Platzbedarf.
- 30 Nachfolgend wird ein Verfahren zur Programmierung der vorste-
hend beschriebenen NOR-Halbleiterspeichereinrichtung be-
schrieben. Aufgrund der selektiv ansteuerbaren Source- und
Draingebiete sind im wesentlichen drei unterschiedliche Pro-
35 grammierverfahren mit verringerter Stromaufnahme bzw. verrin-
gertem Leckstrom möglich.

Wie bereits anhand von Figur 2 beschrieben wurde, besteht die erste Möglichkeit zum Programmieren der erfindungsgemäßen NOR-Halbleiterspeichereinrichtung darin, daß sowohl die Drainleitung als auch die Sourceleitung eine vorbestimmte Drainspannung und Sourcespannung erhält. Wie bereits in Figur 2 dargestellt ist, kann auf diese Weise ein laterales Feld zwischen Source- und Draingebieten optimal verringert werden, weshalb sich in den nicht selektierten Speicherzellen insbesondere ein gateinduzierter Drain-Leckstrom (GIDL) wesentlich verringert.

Alternativ hierzu kann jedoch auch nur an der Drainleitung eine vorbestimmte Drainspannung (Programmierspannung) angelegt werden, während die dazugehörige Sourceleitung schwebend (floatend) ist. In diesem Fall liegt zwar eine nicht zu vernachlässigende Potentialdifferenz zwischen Draingebiet D und Sourcegebiet S, wobei jedoch dies nur für die selektierte Spalte im jeweiligen Speicherfeld (array) eintritt. Die Sourcegebiete von nicht selektierten Bitleitungen (weiterer Speicherzellenspalten) bleiben weiterhin auf beispielsweise 0 V, weshalb im wesentlichen kein Leckstrom erzeugt wird.

Als weitere Alternative kann nur an der Sourceleitung eine vorbestimmte Sourcespannung (Programmierspannung) angelegt werden, während die dazugehörige Drainleitung schwebend ist (floatend). Die Auswirkungen bezüglich des Leckstroms sind hierbei die gleichen wie im vorstehend beschriebenen Fall.

Als weiteren Vorteil bietet insbesondere die Verwendung einer Spannung an den nicht selektierten Wortleitungen, die dem arithmetischen Mittel der Spannungen an der selektierten und nicht selektierten Bitleitung entspricht den Effekt, daß die jeweiligen Speicherzellen auf nicht selektierten Wortleitungen, jedoch selektierten Bitleitungen keine ungewünschte „Anprogrammierung“ bzw. „gate-disturb“ erfahren.

Alle drei beschriebenen Programmierverfahren basieren im wesentlichen auf reduzierten horizontalen Source-Drain-Feldern (Feldstärken), wodurch sich eine Schädigung der ersten Isolierschicht (z.B. Tunneloxidschicht) verringert. Auf diese Weise kann die Lebensdauer bzw. die Anzahl der Schreib-/Löschzyklen in der nichtflüchtigen Halbleiterspeichereinrichtung wesentlich verbessert werden.

Die Erfindung wurde vorstehend anhand von Flash-Speichereinrichtungen beschrieben. Sie ist jedoch nicht darauf beschränkt, sondern umfaßt vielmehr alle weiteren nichtflüchtigen Speichereinrichtungen bzw. Vorrichtungen mit nichtflüchtigen Speicherzellen wie z. B. FPGAs. Die Source- und Drainleitungen werden vorzugsweise in der ersten und zweiten Metallisierungsebene ausgebildet. Die Erfindung ist jedoch nicht darauf beschränkt und umfaßt vielmehr alle weiteren elektrisch leitenden Schichten wie z. B. Polysiliziumschichten, die auch in höheren Ebenen ausgebildet werden können.

Patentansprüche

1. Nichtflüchtige NOR-Halbleiterspeichereinrichtung mit einer Vielzahl von in einem Halbleitersubstrat (1) ausgebildeten matrixförmig angeordneten Eintransistor-Speicherzellen (SZ) bestehend aus
- 5 voneinander beabstandeten Draingebieten (D) und Sourcegebieten (S),
- einer ersten Isolierschicht (I1),
- 10 einer ladungsspeichernden Schicht (FG),
- einer zweiten Isolierschicht (I2), und
- einer Steuerschicht (CG);
- einer Vielzahl von Wortleitungen (WL1 bis WL3) zum zeilenweisen Ansteuern der Eintransistor-Speicherzellen (SZ); und
- 15 einer Vielzahl von Bitleitungen (BL1, BL2) zum spaltenweisen Ansteuern der Eintransistor-Speicherzelle (SZ),
- d a d u r c h g e k e n n z e i c h n e t, daß die Wortleitungen (WL1 bis WL3) im wesentlichen durch die Steuerschicht (CG) ausgebildet werden und
- 20 die Bitleitungen (BL1, BL2) jeweils eine Sourceleitung (S1, S2) und eine Drainleitung (D1, D2) aufweisen, die eine selektive Ansteuerung von jeweiligen Drain- und Sourcegebieten (D, S) der Eintransistor-Speicherzelle (SZ) ermöglichen.
- 25 2. Nichtflüchtige NOR-Halbleiterspeichereinrichtung nach Patentanspruch 1,
- d a d u r c h g e k e n n z e i c h n e t, daß die jeweiligen Source- und Drainleitungen (S1, S2, D1, D2) mäander-, zickzack- oder wellenförmig ausgebildet sind.
- 30 3. Nichtflüchtige NOR-Halbleiterspeichereinrichtung nach Patentanspruch 1 oder 2,
- d a d u r c h g e k e n n z e i c h n e t, daß die jeweiligen Source- und Drainleitungen (S1, S2, D1, D2) in einer
- 35 gemeinsamen elektrisch leitenden Schicht (4) ausgebildet sind.

4. Nichtflüchtige NOR-Halbleiterspeichereinrichtung nach Patentanspruch 1 oder 2,
d a d u r c h g e k e n n z e i c h n e t, daß die jeweiligen Source- und Drainleitungen (S1, S2, D1, D2) in unterschiedlichen elektrisch leitenden Schicht (4, 6) ausgebildet sind.
5. Nichtflüchtige NOR-Halbleiterspeichereinrichtung nach Patentanspruch 3,
10 d a d u r c h g e k e n n z e i c h n e t, daß die jeweiligen Source- und Drainleitungen (S1, S2, D1, D2) im wesentlichen parallel zueinander angeordnet sind.
- 15 6. Nichtflüchtige NOR-Halbleiterspeichereinrichtung nach Patentanspruch 4,
d a d u r c h g e k e n n z e i c h n e t, daß die jeweiligen Source- und Drainleitungen (S1, S2, D1, D2) im wesentlichen überlappend angeordnet sind.
- 20 7. Nichtflüchtige NOR-Halbleiterspeichereinrichtung nach einem der Patentansprüche 1 bis 6,
g e k e n n z e i c h n e t d u r c h Drain-/Sourcekontakte (K1, K2), die zum Herstellen einer Verbindung zwischen den Drain-/Sourceleitungen (D1, D2, S1, S2) mit den Drain-/Sourcegebieten (D, S) der jeweiligen Eintransistor-Speicherzellen (SZ) im wesentlichen geradlinig angeordnet sind.
- 25 8. Nichtflüchtige NOR-Halbleiterspeichereinrichtung nach einem der Patentansprüche 1 bis 7,
30 d a d u r c h g e k e n n z e i c h n e t, daß die jeweiligen Source- und Drainleitungen (S1, S2, D1, D2) in einer und/oder mehreren Metallisierungsschichten ausgebildet sind.
- 35 9. Verfahren zur Programmierung einer Speicherzelle in einer nichtflüchtigen NOR-Halbleiterspeichereinrichtung gemäß einem der Patentansprüche 1 bis 8, mit den Schritten:

- a) Anlegen einer vorbestimmten Gatespannung ($-9V$) an eine vorbestimmte Wortleitung ($WL1$);
- b) Anlegen einer vorbestimmten Sourcespannung ($+6V$) an eine vorbestimmte Sourceleitung ($S1$); und
- 5 c) Anlegen einer vorbestimmten Drainspannung ($+6V$) an eine vorbestimmten Drainleitung ($D1$), die im wesentlichen der Sourcespannung entspricht.

10 10. Verfahren zur Programmierung einer Speicherzelle in einer nichtflüchtigen NOR-Halbleiterspeichereinrichtung gemäß einem der Patentansprüche 1 bis 8 mit den Schritten:

- a) Anlegen einer vorbestimmten Gatespannung ($-9V$) an eine vorbestimmte Wortleitung ($WL1$);
- b) Schwebenlassen des elektrischen Potentials der vorbestimmten Sourceleitung ($S1$); und
- 15 c) Anlegen einer vorbestimmten Drainspannung ($+6V$) an eine vorbestimmte Drainleitung ($D1$).

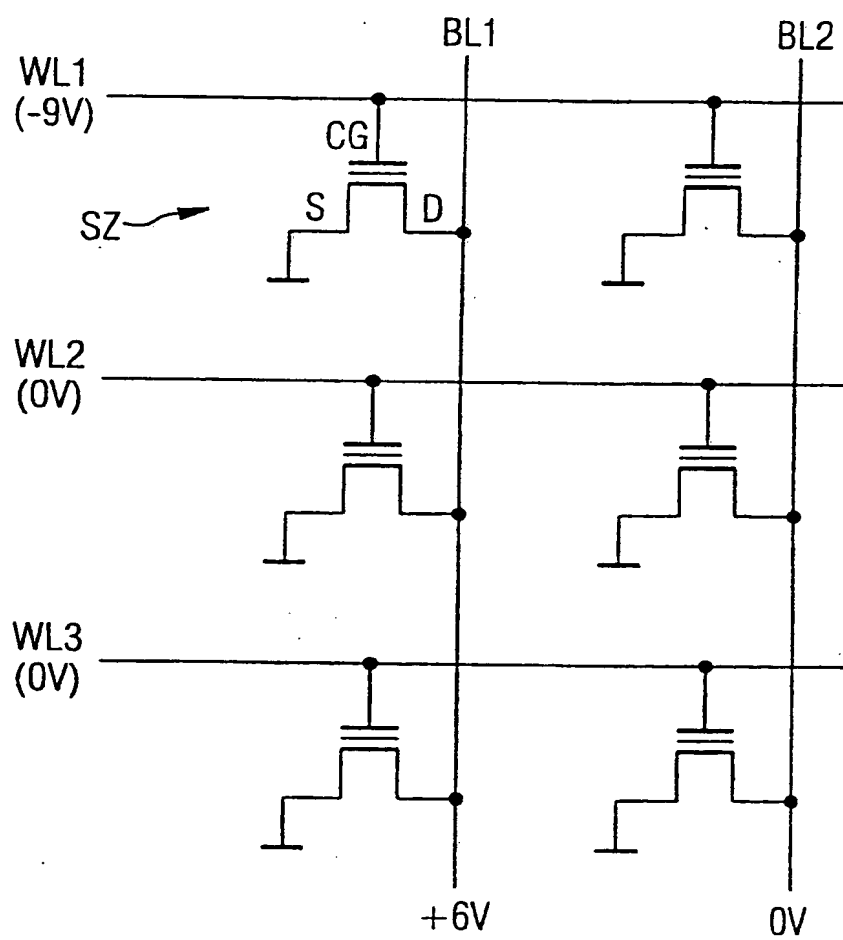
20 11. Verfahren zur Programmierung einer Speicherzelle in einer nichtflüchtigen NOR-Halbleiterspeichereinrichtung gemäß einem der Patentansprüche 1 bis 8 mit den Schritten:

- a) Anlegen einer vorbestimmten Gatespannung ($-9V$) an eine vorbestimmte Wortleitung ($WL1$);
- b) Anlegen einer vorbestimmten Sourcespannung ($+6V$) an eine
- 25 vorbestimmte Sourceleitung ($S1$); und
- c) Schwebenlassen des elektrischen Potentials der vorbestimmten Drainleitung ($D1$).

30 12. Verfahren nach Patentanspruch 9,
d a d u r c h g e k e n n z e i c h n e t, daß eine Potentialdifferenz zwischen der vorbestimmten Source- und Drainleitung ($S1$, $D1$) zu keinem Zeitpunkt eine höhere Potentialdifferenz als in einem Lesemodus aufweist.

1/4

FIG 1
Stand der Technik



4/4

FIG 6

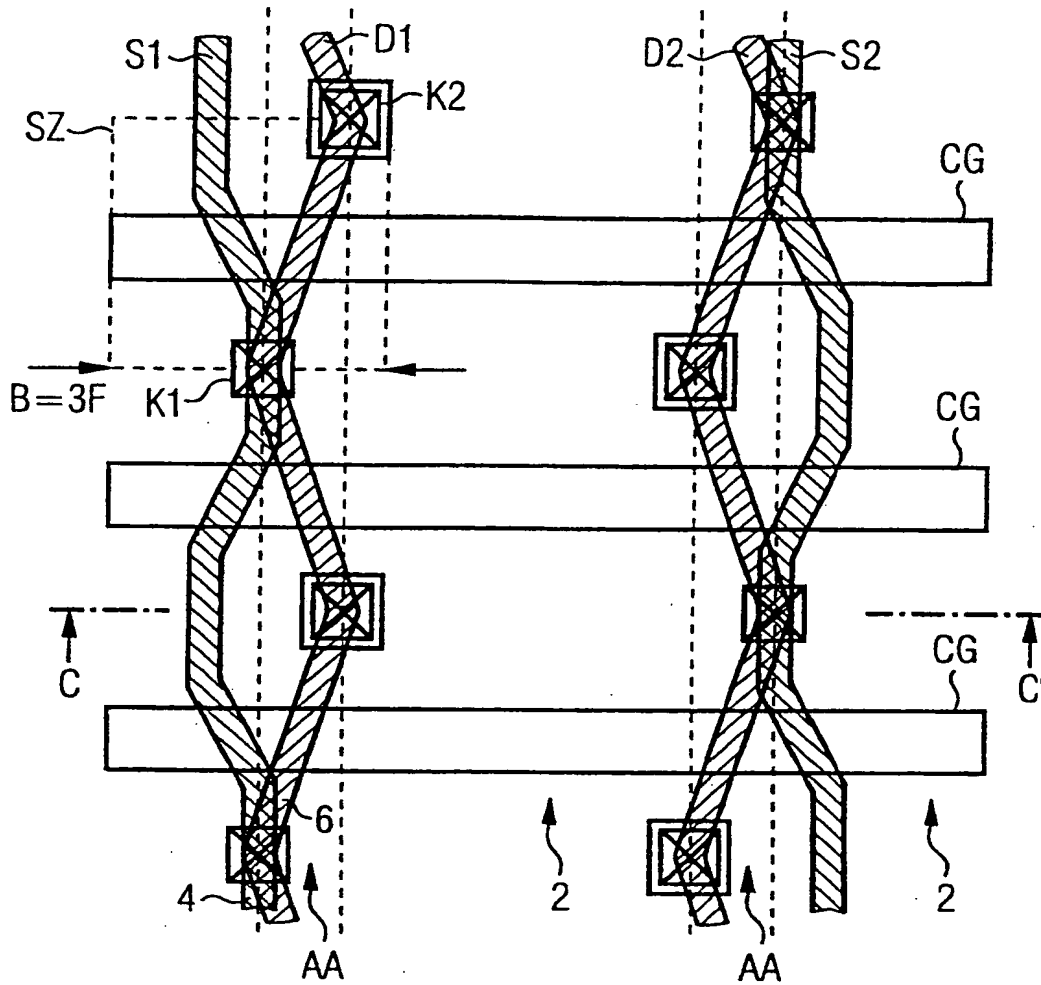
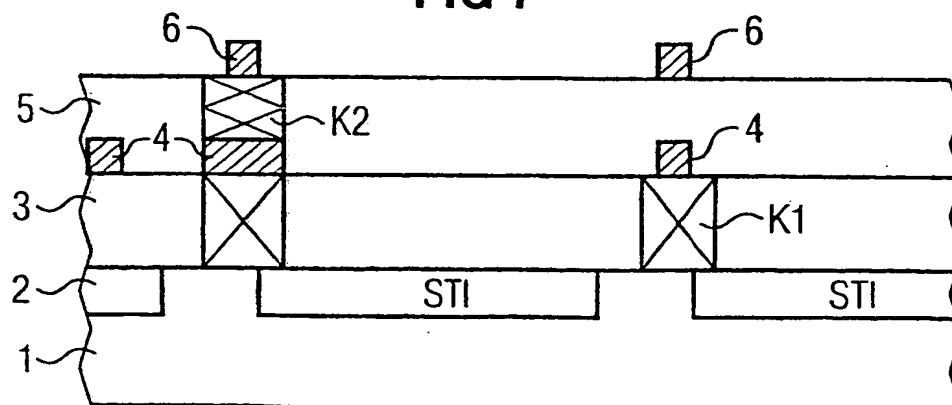


FIG 7



INTERNATIONAL SEARCH REPORT

Int. .onal Application No

PCT/DE 99/04042

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H01L27/115

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A A A A	<p>DE 27 58 161 A (TEXAS INSTRUMENTS INC) 6 July 1978 (1978-07-06) page 16, line 1 -page 22, line 6; figures 1-5</p> <p>EP 0 137 207 A (IBM) 17 April 1985 (1985-04-17) page 4, line 8 -page 13, line 28; figures 1-7</p> <p>US 5 760 437 A (SHIMOJI NORIYUKI) 2 June 1998 (1998-06-02) column 5, line 63 -column 11, line 24; figures 3-12B</p> <p>US 5 671 177 A (UEKI HIROSHI) 23 September 1997 (1997-09-23) abstract</p>	<p>1,3-5, 7-12</p> <p>1-8</p> <p>1-12</p> <p>1-8</p>

-/-

☒ Further documents are listed in the continuation of box C.☒ Patent family members are listed in annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

G document member of the same patent family

Date of the actual completion of the international search

20 July 2000

Date of mailing of the international search report

27/07/2000

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Albrecht, C

INTERNATIONAL SEARCH REPORT

Inte nel Application No
PCT/DE 99/04042

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>PATENT ABSTRACTS OF JAPAN vol. 1997, no. 07, 31 July 1997 (1997-07-31) & JP 09 082926 A (TOSHIBA CORP), 28 March 1997 (1997-03-28) abstract</p> <p style="text-align: center;">————</p>	1-8

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 99/04042

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
DE 2758161	A	06-07-1978	US 4112509 A	05-09-1978
			US 4122544 A	24-10-1978
			FR 2375692 A	21-07-1978
			JP 53108247 A	20-09-1978
EP 0137207	A	17-04-1985	US 4603341 A	29-07-1986
			DE 3483863 D	07-02-1991
			JP 1307677 C	13-03-1986
			JP 60034274 B	07-08-1985
			JP 60066462 A	16-04-1985
US 5760437	A	02-06-1998	JP 9082921 A	28-03-1997
US 5671177	A	23-09-1997	JP 8036894 A	06-02-1996
			US 5825688 A	20-10-1998
JP 09082926	A	28-03-1997	NONE	

INTERNATIONALER RECHERCHENBERICHT

Int. lationales Aktenzeichen

PCT/DE 99/04042

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H01L27/115

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 H01L G11C

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, PAJ

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X A	DE 27 58 161 A (TEXAS INSTRUMENTS INC) 6. Juli 1978 (1978-07-06) Seite 16, Zeile 1 -Seite 22, Zeile 6; Abbildungen 1-5	1,3-5, 7-12
A	EP 0 137 207 A (IBM) 17. April 1985 (1985-04-17) Seite 4, Zeile 8 -Seite 13, Zeile 28; Abbildungen 1-7	1-8
A	US 5 760 437 A (SHIMOJI NORIYUKI) 2. Juni 1998 (1998-06-02) Spalte 5, Zeile 63 -Spalte 11, Zeile 24; Abbildungen 3-12B	1-12
A	US 5 671 177 A (UEKI HIROSHI) 23. September 1997 (1997-09-23) Zusammenfassung	1-8
	-/-	

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfindertischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfindertischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

Z Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

20. Juli 2000

Absenddatum des internationalen Recherchenberichts

27/07/2000

Name und Postanschrift der internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Albrecht, C

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 99/04042

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	<p>PATENT ABSTRACTS OF JAPAN vol. 1997, no. 07, 31. Juli 1997 (1997-07-31) & JP 09 082926 A (TOSHIBA CORP), 28. März 1997 (1997-03-28) Zusammenfassung</p>	1-8

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 99/04042

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
DE 2758161	A	06-07-1978	US	4112509 A	05-09-1978
			US	4122544 A	24-10-1978
			FR	2375692 A	21-07-1978
			JP	53108247 A	20-09-1978
EP 0137207	A	17-04-1985	US	4603341 A	29-07-1986
			DE	3483863 D	07-02-1991
			JP	1307677 C	13-03-1986
			JP	60034274 B	07-08-1985
			JP	60066462 A	16-04-1985
US 5760437	A	02-06-1998	JP	9082921 A	28-03-1997
US 5671177	A	23-09-1997	JP	8036894 A	06-02-1996
			US	5825688 A	20-10-1998
JP 09082926	A	28-03-1997	KEINE		